

(11)Publication number : 11-065530

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 09-220266

(71)Applicant : SONY CORP

(22)Date of filing : 15.08.1997

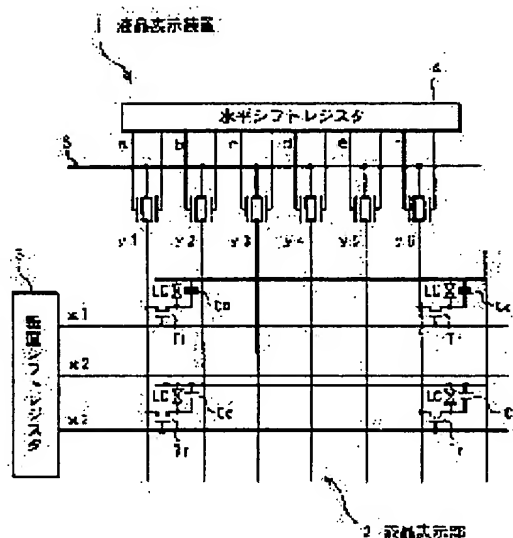
(72)Inventor : YOSHINE HIROYUKI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption by changing over the frequency of a clock signal generated in a clock-generating part, in accordance with a resolving power displayed in a liquid crystal display part.

SOLUTION: A vertical shift register 3 successively outputs a pulse signal, corresponding to one line to plural scanning lines x1-x3 and makes a transistor Tr of each pixel an ON-state in a line unit. A horizontal shift register 4 successively outputs a gate signal to plural gate lines (a)-(f), corresponding to plural signal lines y1-y6. A display signal corresponding to each pixel is sent from a display signal line S, and a signal charge is charged in a capacitor Co. Such output signals in the vertical shift register 3 and the horizontal shift register 4 are outputted, being synchronized with a clock signal generated in a clock-generating part. The frequency of the clock signal given to the vertical shift register 3 and the horizontal shift register 4 from the clock-generating part is changed, in accordance with the resolving power displayed in a liquid crystal display part 2.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A liquid crystal display comprising:

A liquid crystal display means which performs a predetermined display based on a signal supplied to two or more scanning lines arranged by matrix form and two or more signal wires.

A clock generating means which generates a clock signal for supplying said signal.

A switching means which switches frequency of a clock signal generated in said clock generating means according to resolution displayed by said liquid crystal display means.

[Claim 2]The liquid crystal display according to claim 1, wherein said switching means switches frequency

of a clock signal in a signal supplied with either one of said two or more scanning lines or said two or more signal wires according to said resolution.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the liquid crystal display which displays in predetermined resolution.

[0002]

[Description of the Prior Art] Many liquid crystal displays used as displays, such as a computer, are used from it being thin and lightweight in recent years compared with the CRT display.

[0003] It fills up with a liquid crystal between two substrates, and this liquid crystal display shows to two or more scanning line and two or more signal wires which were provided in this substrate at matrix form by controlling the array state of a liquid crystal material by giving a predetermined signal.

[0004] Many such liquid crystal displays especially are used by apparatus, such as a computer provided with portability. Therefore, in order to make each part drive using the power supply built in apparatus and to perform a prolonged drive, low power consumption of the liquid crystal display which made the driving source this internal power supply (for example, storage battery) is desired.

[0005] On the other hand, as display performance of a liquid crystal display, highly minute-ization progresses with enlargement of a display surface product, and even if it has portability, the thing applicable to apparatus, such as a highly efficient computer, has been called for.

[0006]

[Problem(s) to be Solved by the Invention] However, enlargement and highly-minute-izing of a liquid crystal display need many power consumption, and serve as hindrance of low power consumption. There is also a problem that electric power is wasted superfluously, from performing the fixed drive regardless of the information to display.

[0007]

[Means for Solving the Problem] This invention is the liquid crystal display accomplished in order to solve such a technical problem. That is, a liquid crystal display of this invention is provided with the following. A liquid crystal display means which performs a predetermined display based on a signal supplied to two or more scanning lines arranged by matrix form and two or more signal wires.

A clock generating means which generates a clock signal for supplying this signal.

A switching means which switches frequency of a clock signal generated in a clock generating means according to resolution displayed by a liquid crystal display means.

[0008] In this invention, since frequency of a clock signal generated in a clock generating means according to resolution displayed by a liquid crystal display means is switched by a switching means, a clock signal of frequency suitable for resolution of a display can be generated, and reduction of power consumption can be aimed at.

[0009]

[Embodiment of the Invention] Below, the embodiment in the liquid crystal display of this invention is described based on figures. Drawing 1 is a lineblock diagram explaining the liquid crystal display in this embodiment. This liquid crystal display 1 is provided with the following.

The liquid crystal display section 2 which displays by two or more display pixels on a par with matrix form. The vertical shift register 3 which gives a clock signal one by one corresponding to two or more scanning lines shown in the transverse direction in a figure.

The horizontal shift register 4 which gives a clock signal one by one corresponding to two or more signal wires shown in the lengthwise direction in a figure.

[0010]The transistor (for example, TFT:Thin Film Transistor) Tr which drives liquid crystal LC, and the capacitor Co which accumulates a signal charge are respectively formed in each pixel which constitutes the liquid crystal display section 2.

[0011]The vertical shift register 3 is outputting the pulse signal corresponding to one line to two or more scanning lines (drawing 1 x1-x3) in order, and makes the transistor Tr of each pixel the ON state per line.

[0012]The horizontal shift register 4 is outputting the gating signal to two or more gate lines (drawing 1 a-f) corresponding to two or more signal wires (drawing 1 y1-y6) one by one. From the status signal line S, synchronizing with the gating signal outputted from this horizontal shift register 4, the status signal corresponding to each pixel is sent, and a signal charge is accumulated to the capacitor Co via the transistor Tr which is a pixel.

[0013]The output signal in such the vertical shift register 3 and the horizontal shift register 4 is outputted synchronizing with the clock signal generated by the clock generation part which is not illustrated.

[0014]According to this embodiment, the feature is at the point of making it changing from this clock generation part according to the resolution which displays the frequency of the clock signal given to the vertical shift register 3 or the horizontal shift register 4 by the liquid crystal display section 2.

[0015]That is, in displaying by one pixel unit of the liquid crystal display section 2 (henceforth "high resolution mode"), it gives the clock signal of frequency which corresponded from the clock generation part for every one scanning line and signal wire to the vertical shift register 3 and the horizontal shift register 4.

[0016]On the other hand, in displaying per two or more pixels of the liquid crystal display section 2 (henceforth "low resolution mode"), it gives two or more pixels and the clock signal of frequency corresponding for every corresponding scanning line and signal wire from a clock generation part to the vertical shift register 3 or the horizontal shift register 4.

[0017]Drawing 2 is a figure showing the composition of the horizontal shift register corresponding to high resolution mode and low resolution mode. This horizontal shift register 4 comprises the multiplexer 43 which performs these selections with the horizontal shift register 41 for high resolution, and the horizontal shift register 42 for low resolutions.

[0018]Clock signal MCLK** is inputted into the horizontal shift register 41 for these high resolution from the clock generation part which is not illustrated, and clock signal MCLK** is inputted into the horizontal shift register 42 for low resolutions from a clock generation part.

[0019]The pulse signal which a mode switching signal is inputted into the multiplexer 43, and is outputted from the horizontal shift register 41 for high resolution by this mode switching signal (in drawing 2.) Either of the pulse signals (drawing 2 A-E) outputted from the horizontal shift register 42 for a'-j' or low resolutions is chosen.

[0020]Drawing 3 is the elements on larger scale explaining the internal circuit of a multiplexer. Pulse signal a' outputted in this figure from the horizontal shift register 41 (refer to drawing 2) for high resolution, The portion which switches pulse signal A outputted from the horizontal shift register 42 (refer to drawing 2) for b' and low resolutions with the switches SW1-SW4, and is outputted as gating signal a and b is shown. The combination of other pulse signals also serves as same circuitry.

[0021]For example, when the mode switching signal which shows low resolution mode is inputted into the multiplexer 43, switch SW1 of an inside and SW2 close and switch SW3 and SW4 come to open.

[0022]Pulse signal A outputted by this as gating signal a outputted from the multiplexer 43 and b from the horizontal shift register 42 for low resolutions shown in drawing 2 will be chosen.

[0023]On the other hand, when the mode switching signal which shows high resolution mode is inputted into the multiplexer 43, switch SW1 of an inside and SW2 open and switch SW3 and SW4 come to close.

[0024]Pulse signal a' outputted from the horizontal shift register 41 for high resolution which this shows to drawing 2 as gating signal a outputted from the multiplexer 43 is chosen, Pulse signal b' outputted from the horizontal shift register 41 for high resolution shown in drawing 2 as gating signal a is chosen, and it becomes things.

[0025]Drawing 4 and drawing 5 are the timing charts of the gating signal chosen by such a mode switching signal, and, as for drawing 5, in the case of high resolution mode, drawing 4 shows the case in low

resolution mode. These figures show only a-d as a gating signal.

[0026]namely, -- drawing 4 -- being shown -- high resolution -- the mode -- a case -- **** -- a gating signal -- a -- b -- c -- d -- ***** -- high resolution -- ** -- a horizontal shift register -- 41 (refer to drawing 2) -- from -- outputting -- having -- a pulse signal -- a -- ' -- b -- ' -- c -- ' -- d -- ' -- a multiplexer -- 43 (refer to drawing 2) -- choosing -- having . That is, this gating signal a, b, c, and d become the signal shifted in order every 1 pixel synchronizing with clock signal MCLK** outputted from a clock generation part (not shown).

[0027]In the case of the low resolution mode shown in drawing 5, A outputted as gating signal a and b from the horizontal shift register 42 (refer to drawing 2) for low resolutions is chosen by the multiplexer 43 (refer to drawing 2), B outputted as gating signal c and d from the horizontal shift register 42 (refer to drawing 2) for low resolutions is chosen by the multiplexer 43 (refer to drawing 2). That is, this gating signal a, b, c, and d become the signal which every 2 pixels of frequency shifted in order from clock signal MCLK** at the time of high resolution mode synchronizing with one half of clock signal MCLK**.

[0028]Gating signal a shown in drawing 4 and drawing 5, b, c, and d correspond with gating signal a outputted from the horizontal shift register 4 shown in drawing 1, b, c, and d, and gating signal e, f, and -- are outputted following this gating signal a, b, c, and d.

[0029]That is, in the high resolution mode shown in drawing 4, gating signal a, b, c, d, e, f, and -- are outputted in order from the horizontal shift register 4 shown in drawing 1, and a status signal is outputted from the status signal line S synchronizing with this. Each status signal is given to every 1 pixel which met horizontally by this, and the display with high resolution is performed by it.

[0030]Gating signal a which corresponded to 2 pixels on the other hand from the horizontal shift register 4 shown in drawing 1 in the low resolution mode shown in drawing 5, b, gating signal c corresponding to following 2 pixels, d, gating signal e corresponding to following 2 pixels, f, and the gating signal of -- same in combination are outputted in order, and a status signal is outputted from the status signal line S synchronizing with this. The same status signal is respectively given to every 2 pixels which met horizontally by this, and the display with a low resolution is performed by it.

[0031]Thus, by controlling the frequency of the clock signal given to a horizontal shift register with the mode switching signal inputted into the multiplexer 43 by this embodiment, In low resolution mode, reduction of power consumption can be aimed at using the clock signal which comprises frequency required for the resolution.

[0032]For example, supposing the capacity C and the voltage V are constant in the case of [one half of] the frequency of clock signal MCLK** which the frequency of clock signal MCLK** applied in low resolution mode applies in high resolution mode, power consumption will be set to one half in proportion to the frequency f from power consumption $P = \text{valve flow coefficient}^2 f$.

[0033]Although the case where frequency of clock signal MCLK** applied in low resolution mode was set to one half of the frequency of clock signal MCLK** applied in high resolution mode was made into the example in the above-mentioned explanation, It may be 1/3, 1/4, and --, and when one third is used and 1/4 is used by 3 pixels, the status signal same at two or more pixels, such as --, is displayed by 4 pixels. As for power consumption, this enables it to use 1/3, 1/4, and --.

[0034]It is the same even if it is a case where the frequency of a clock signal [in / for the case where the frequency of the clock signal in the horizontal shift register 4 is mainly controlled by the above-mentioned explanation / the vertical shift register 3] is controlled as an example.

[0035]That is, even if it controls only the frequency of the clock signal in the horizontal shift register 4 if needed, only the frequency of the clock signal in the vertical shift register 3 may be controlled, and it may be made to control the frequency of both clock signals.

[0036]Although the example which switches the frequency of a clock signal in the two modes in high resolution mode and low resolution mode was explained as a resolution change, it may be made to switch in much more modes.

[0037]When the information displayed, for example on the liquid crystal display section 2 comprises a photograph etc. as a actual example of use, high resolution mode is chosen with an operator. Thereby, display information, including a photograph etc., is displayed on the liquid crystal display section 2 with high definition.

[0038]On the other hand, when the information displayed on the liquid crystal display section 2 comprises a character etc., low resolution mode is chosen with an operator. Compared with high resolution mode, only the part according to the frequency of the clock signal in low resolution mode serves as coarse display information by this at the liquid crystal display section 2, and a character etc. will be displayed. Since in the case of a character etc. it can recognize even if a display is somewhat coarse, it becomes satisfactorily

possible to aim at reduction of power consumption by selection in this low resolution mode at use.

[0039]

[Effect of the Invention]As explained above, according to the liquid crystal display of this invention, there are the following effects. Namely, from switching the frequency of the clock signal generated in a clock generating means according to the resolution displayed by a liquid crystal display means. The clock signal of the frequency suitable for the resolution of the display can be generated, and when high resolution in particular is not required, it becomes possible to reduce useless power consumption using the clock signal which comprises the frequency suitable for the resolution. By applying especially the liquid crystal display in this invention by computers (portable remote terminal etc.) provided with portability, reduction of power consumption is aimed at according to display information, and it becomes possible to extend the driving time by an internal power supply.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a lineblock diagram explaining the liquid crystal display in this embodiment.

[Drawing 2]It is a figure showing the composition of a horizontal shift register.

[Drawing 3]It is the elements on larger scale explaining the internal circuit of a multiplexer.

[Drawing 4]It is a timing chart of the gating signal in high resolution mode.

[Drawing 5]It is a timing chart of the gating signal in low resolution mode.

[Description of Notations]

1 [— A horizontal shift register, 41 / -- The horizontal shift register for high resolution, 42 / -- The horizontal shift register for low resolutions, 43 / -- Multiplexer] -- A liquid crystal display, 2 -- A liquid crystal display section, 3 -- A vertical shift register, 4

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

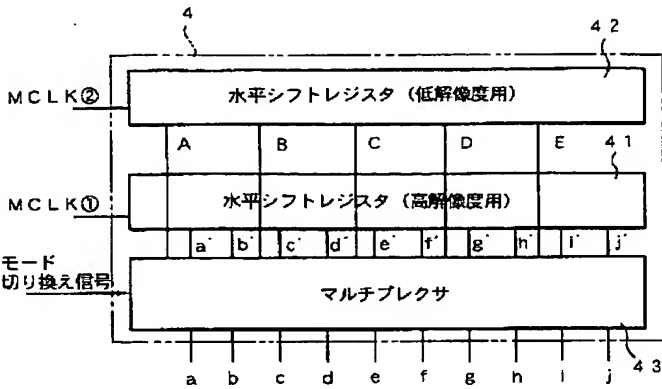
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

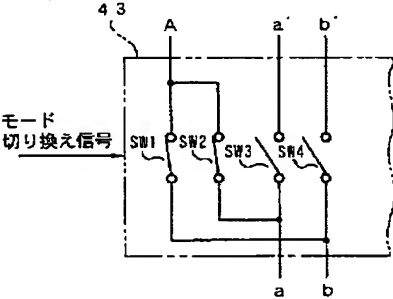
3.In the drawings, any words are not translated.

DRAWINGS

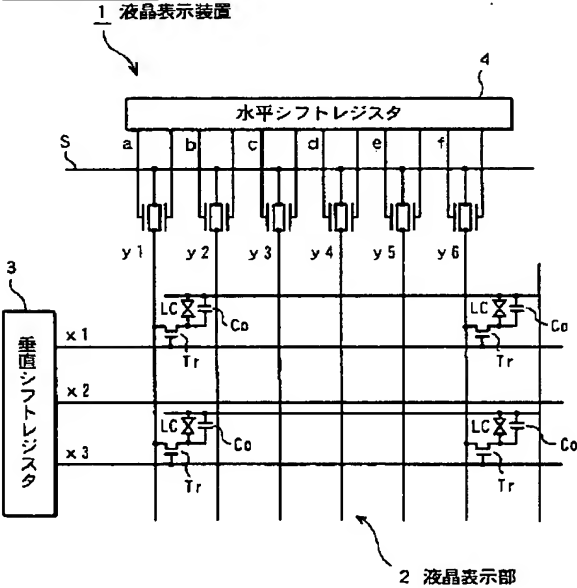
[Drawing 2]



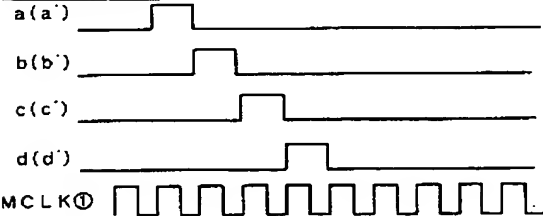
[Drawing 3]



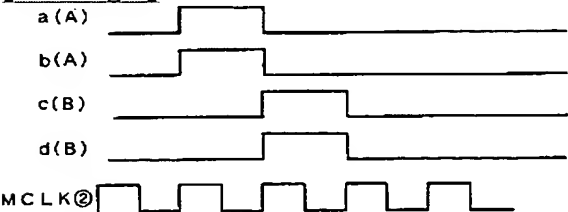
[Drawing 1]



[Drawing 4]



[Drawing 5]



[Translation done.]

(11)特許出願公開番号

特開平11-65530

(43)公開日 平成11年(1999)3月9日

(51) Int.Cl.⁶

識別記号

FI

G O 9 G 3/36

C O 9 G 3/36

G O 2 F 1/133

505

C O 2 F 1/133

505

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号

特願平9-220266

(22) 出願日

平成9年(1997)8月15日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 發明者 芳根 裕之

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

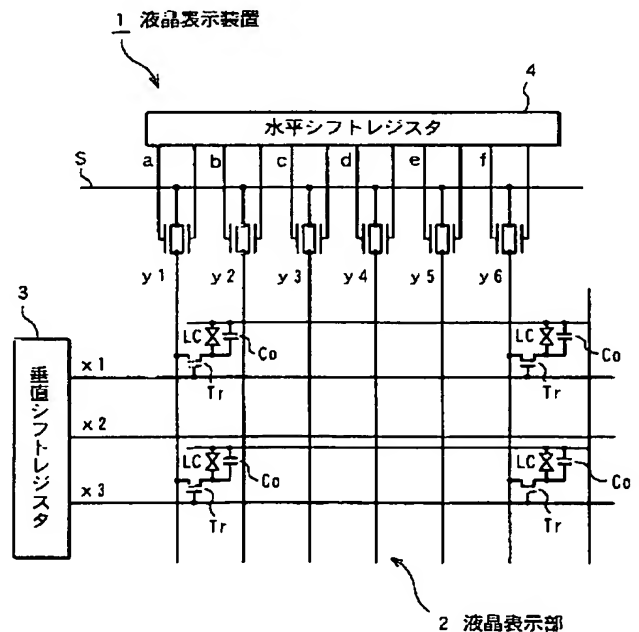
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 表示の解像度に応じて表示信号におけるクロック周波数を制御して消費電力の低減を図ること。

【解決手段】 本発明の液晶表示装置１は、マトリクス状に配列された複数の走査線 $x_1 \sim x_3$ と複数の信号線 $y_1 \sim y_6$ とに供給される信号に基づいて所定の表示を行う液晶表示部２と、この信号を供給するためのクロック信号を発生するクロック発生手段と、液晶表示部２で表示する解像度に応じてクロック発生手段で発生するクロック信号の周波数を切り換える切り換え手段とを備えている。



【特許請求の範囲】

【請求項1】 マトリクス状に配列された複数の走査線と複数の信号線とに供給される信号に基づいて所定の表示を行う液晶表示手段と、

前記信号を供給するためのクロック信号を発生するクロック発生手段と、

前記液晶表示手段で表示する解像度に応じて前記クロック発生手段で発生するクロック信号の周波数を切り換える切り換え手段とを備えていることを特徴とする液晶表示装置。

【請求項2】 前記切り換え手段は、前記複数の走査線または前記複数の信号線のいずれか一方で供給される信号におけるクロック信号の周波数を前記解像度に応じて切り換えることを特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、所定の解像度で表示を行う液晶表示装置に関する。

【0002】

【従来の技術】 コンピュータ等の表示装置として用いられる液晶表示装置は、CRTディスプレイに比べて薄型かつ軽量であることから近年多く利用されている。

【0003】 この液晶表示装置は、2枚の基板間に液晶が充填されたものであり、この基板にマトリクス状に設けられた複数の走査線および複数の信号線に所定の信号を与えることで液晶材料の配列状態を制御して表示を行っている。

【0004】 このような液晶表示装置は、特に携帯性を備えたコンピュータ等の機器で多く利用されている。したがって、機器に内蔵される電源を用いて各部を駆動させる必要があり、長時間駆動を行うためには、この内蔵電源（例えば、蓄電池）を駆動源とした液晶表示装置の低消費電力化が望まれている。

【0005】 一方、液晶表示装置の表示性能としては、表示面積の大型化とともに高精細化が進み、携帯性を備えていても高機能なコンピュータ等の機器へ適用できるものが求められてきている。

【0006】

【発明が解決しようとする課題】 しかしながら、液晶表示装置の大型化や高精細化は消費電力を多く必要とし、低消費電力化の妨げとなっている。また、表示する情報とは無関係に一定の駆動を行っていることから、不必要に電力を浪費しているという問題もある。

【0007】

【課題を解決するための手段】 本発明はこのような課題を解決するために成された液晶表示装置である。すなわち、本発明の液晶表示装置は、マトリクス状に配列された複数の走査線と複数の信号線とに供給される信号に基づいて所定の表示を行う液晶表示手段と、この信号を供

給するためのクロック信号を発生するクロック発生手段と、液晶表示手段で表示する解像度に応じてクロック発生手段で発生するクロック信号の周波数を切り換える切り換え手段とを備えている。

【0008】 本発明では、液晶表示手段で表示する解像度に応じてクロック発生手段で発生するクロック信号の周波数を切り換え手段で切り換えていることから、表示の解像度に合った周波数のクロック信号を発生させて消費電力の低減を図ることができるようになる。

【0009】

【発明の実施の形態】 以下に、本発明の液晶表示装置における実施の形態を図に基づいて説明する。図1は本実施形態における液晶表示装置を説明する構成図である。この液晶表示装置1は、マトリクス状に並ぶ複数の表示画素によって表示を行う液晶表示部2と、図中横方向で示される複数の走査線に対応して順次クロック信号を与える垂直シフトレジスタ3と、図中縦方向で示される複数の信号線に対応して順次クロック信号を与える水平シフトレジスタ4とを備えている。

【0010】 液晶表示部2を構成する各画素には、液晶LCを駆動するトランジスタ（例えばTFT：Thin Film Transistor）Trと、信号電荷を蓄積するコンデンサCoとが各々設けられている。

【0011】 また、垂直シフトレジスタ3は、複数の走査線（図1では、x1～x3）に1ラインに対応したパルス信号を順に出力しており、ライン単位で各画素のトランジスタTrをON状態にしている。

【0012】 また、水平シフトレジスタ4は、複数の信号線（図1では、y1～y6）に対応する複数のゲート線（図1では、a～f）へ順次ゲート信号を出力している。表示信号線Sからは、この水平シフトレジスタ4から出力されるゲート信号に同期して各画素に対応した表示信号が送られ、画素のトランジスタTrを介してコンデンサCoへ信号電荷が蓄積されるようになっている。

【0013】 このような垂直シフトレジスタ3および水平シフトレジスタ4における出力信号は、図示しないクロック発生部で生成されるクロック信号に同期して出力される。

【0014】 本実施形態では、このクロック発生部から垂直シフトレジスタ3や水平シフトレジスタ4へ与えるクロック信号の周波数を液晶表示部2で表示する解像度に応じて変化させる点に特徴がある。

【0015】 すなわち、液晶表示部2の1画素単位で表示を行う場合（以下、「高解像度モード」と言う。）には、クロック発生部から垂直シフトレジスタ3および水平シフトレジスタ4へ1走査線および1信号線ごとに対応した周波数のクロック信号を与える。

【0016】 一方、液晶表示部2の複数画素単位で表示を行う場合（以下、「低解像度モード」と言う。）には、クロック発生部から垂直シフトレジスタ3や水平シ

フトレジスタ4へ複数画素と対応する走査線、信号線ごとに対応した周波数のクロック信号を与える。

【0017】図2は、高解像度モードと低解像度モードに対応した水平シフトレジスタの構成を示す図である。この水平シフトレジスタ4は、高解像度用の水平シフトレジスタ41と、低解像度用の水平シフトレジスタ42と、これらの選択を行うマルチプレクサ43とから構成されている。

【0018】この高解像度用の水平シフトレジスタ41には図示しないクロック発生部からクロック信号MCLK①が入力され、低解像度用の水平シフトレジスタ42にはクロック発生部からクロック信号MCLK②が入力される。

【0019】また、マルチプレクサ43にはモード切り換え信号が入力され、このモード切り換え信号によって高解像度用の水平シフトレジスタ41から出力されるパルス信号（図2では、a'～j'）または低解像度用の水平シフトレジスタ42から出力されるパルス信号（図2では、A～E）のいずれかを選択する。

【0020】図3はマルチプレクサの内部回路を説明する部分拡大図である。この図では、高解像度用の水平シフトレジスタ41（図2参照）から出力されるパルス信号a'、b'および低解像度用の水平シフトレジスタ42（図2参照）から出力されるパルス信号AをスイッチSW1～SW4によって切り換えてゲート信号a、bとして出力する部分を示している。なお、他のパルス信号の組み合わせも同様な回路構成となっている。

【0021】例えば、マルチプレクサ43に低解像度モードを示すモード切り換え信号が入力された場合、内部のスイッチSW1、SW2が閉じ、スイッチSW3、SW4が開くようになる。

【0022】これにより、マルチプレクサ43から出力されるゲート信号a、bとしては、図2に示す低解像度用の水平シフトレジスタ42から出力されるパルス信号Aが選択されることになる。

【0023】一方、マルチプレクサ43に高解像度モードを示すモード切り換え信号が入力された場合、内部のスイッチSW1、SW2が開き、スイッチSW3、SW4が閉じるようになる。

【0024】これにより、マルチプレクサ43から出力されるゲート信号aとしては図2に示す高解像度用の水平シフトレジスタ41から出力されるパルス信号a'が選択され、ゲート信号aとしては図2に示す高解像度用の水平シフトレジスタ41から出力されるパルス信号b'が選択されことになる。

【0025】図4、図5は、このようなモード切り換え信号によって選択されるゲート信号のタイミングチャートであり、図4は高解像度モードの場合、図5は低解像度モードの場合を示している。なお、これらの図では、ゲート信号としてa～dのみを示している。

【0026】すなわち、図4に示す高解像度モードの場合には、ゲート信号a、b、c、dとして高解像度用の水平シフトレジスタ41（図2参照）から出力されるパルス信号a'、b'、c'、d'がマルチプレクサ43（図2参照）によって選択される。つまり、このゲート信号a、b、c、dは、クロック発生部（図示せず）から出力されるクロック信号MCLK①に同期して、1画素分ずつ順にシフトした信号となる。

【0027】また、図5に示す低解像度モードの場合には、ゲート信号a、bとして低解像度用の水平シフトレジスタ42（図2参照）から出力されるAがマルチプレクサ43（図2参照）によって選択され、ゲート信号c、dとして低解像度用の水平シフトレジスタ42（図2参照）から出力されるBがマルチプレクサ43（図2参照）によって選択される。つまり、このゲート信号a、b、c、dは、高解像度モード時のクロック信号MCLK①より周波数が1/2のクロック信号MCLK②に同期して、2画素分ずつ順にシフトした信号となる。

【0028】図4および図5に示すゲート信号a、b、c、dは図1に示す水平シフトレジスタ4から出力されるゲート信号a、b、c、dと対応しており、また、ゲート信号e、f、…は、このゲート信号a、b、c、dに続いて出力される。

【0029】つまり、図4に示す高解像度モードでは、図1に示す水平シフトレジスタ4からゲート信号a、b、c、d、e、f、…が順に出力され、これと同期して表示信号線Sから表示信号が出力される。これによって、水平方向に沿った1画素づつに各々の表示信号が与えられ、高解像度での表示を行う。

【0030】一方、図5に示す低解像度モードでは、図1に示す水平シフトレジスタ4から2画素分に対応したゲート信号a、b、次の2画素分に対応したゲート信号c、d、次の2画素分に対応したゲート信号e、f、…の組み合わせで同じゲート信号が順に出力され、これと同期して表示信号線Sから表示信号が出力される。これによって、水平方向に沿った2画素づつに各々同じ表示信号が与えられ、低解像度での表示を行う。

【0031】このように、本実施形態では、マルチプレクサ43に入力されるモード切り換え信号によって水平シフトレジスタへ与えるクロック信号の周波数を制御することにより、低解像度モードではその解像度に必要な周波数から成るクロック信号を用いて消費電力の低減を図ることができる。

【0032】例えば、低解像度モードで適用するクロック信号MCLK②の周波数が高解像度モードで適用するクロック信号MCLK①の周波数の1/2の場合、容量C、電圧Vが一定であるとする、消費電力 $P = CV^2 f$ より消費電力は周波数fに比例して1/2となる。

【0033】なお、上記説明では、低解像度モードで適用するクロック信号MCLK②の周波数を高解像度モー

ドで適用するクロック信号MCLK①の周波数の1/2にする場合を例としたが、1/3、1/4、…であつてもよく、1/3にした場合は3画素分、1/4にした場合は4画素分、…というような複数画素で同じ表示信号を表示するようにする。これによって消費電力も1/3、1/4、…にすることが可能となる。

【0034】また、上記説明では主として水平シフトレジスタ4におけるクロック信号の周波数を制御する場合を例としてが、垂直シフトレジスタ3におけるクロック信号の周波数を制御する場合であっても同様である。

【0035】つまり、必要に応じて水平シフトレジスタ4におけるクロック信号の周波数のみを制御しても、垂直シフトレジスタ3におけるクロック信号の周波数のみを制御してもよく、また両クロック信号の周波数を制御するようにしてもよい。

【0036】また、解像度切り換えとして、高解像度モードと低解像度モードとの2つのモードでクロック信号の周波数を切り換える例を説明したが、さらに多くのモードで切り換えを行うようにしてもよい。

【0037】実際の使用例としては、例えば液晶表示部2に表示される情報が写真等から成る場合には、オペレータによって高解像度モードを選択する。これにより、液晶表示部2には写真等の表示情報が高精細に表示される。

【0038】一方、液晶表示部2に表示される情報が文字等から成る場合には、オペレータによって低解像度モードを選択する。これにより、液晶表示部2には高解像度モードに比べて低解像度モードでのクロック信号の周波数に応じた分だけ粗い表示内容となって文字等が表示されることになる。なお、文字等の場合には、多少表示が粗くても認識可能であることから使用には問題なく、

この低解像度モードの選択によって消費電力の低減を図ることが可能となる。

【0039】

【発明の効果】以上説明したように、本発明の液晶表示装置によれば次のような効果がある。すなわち、液晶表示手段で表示する解像度に応じてクロック発生手段で発生するクロック信号の周波数を切り換えることから、表示の解像度に応じた周波数のクロック信号を発生させることができ、特に高解像度を要求されない場合にはその解像度に応じた周波数から成るクロック信号を用いて無駄な消費電力を低減することが可能となる。本発明における液晶表示装置を特に携帯性を備えたコンピュータ（携帯用端末等）で適用することにより、表示内容に応じて消費電力の低減を図り、内蔵電源による駆動時間を延ばすことが可能となる。

【図面の簡単な説明】

【図1】本実施形態における液晶表示装置を説明する構成図である。

【図2】水平シフトレジスタの構成を示す図である。

【図3】マルチプレクサの内部回路を説明する部分拡大図である。

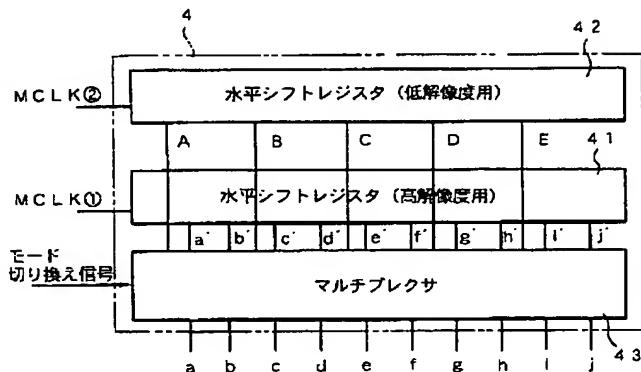
【図4】高解像度モードでのゲート信号のタイミングチャートである。

【図5】低解像度モードでのゲート信号のタイミングチャートである。

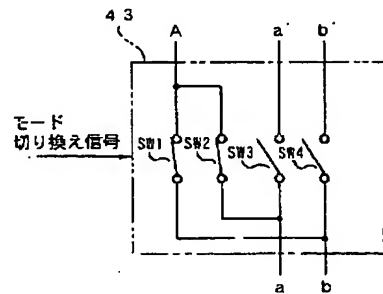
【符号の説明】

1…液晶表示装置、2…液晶表示部、3…垂直シフトレジスタ、4…水平シフトレジスタ、41…高解像度用の水平シフトレジスタ、42…低解像度用の水平シフトレジスタ、43…マルチプレクサ

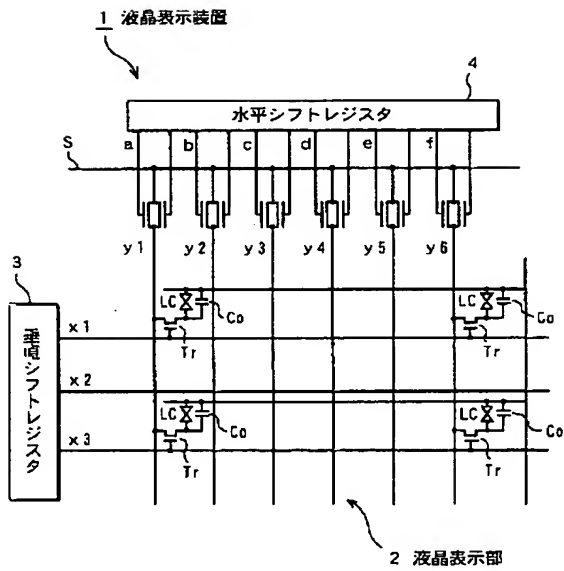
【図2】



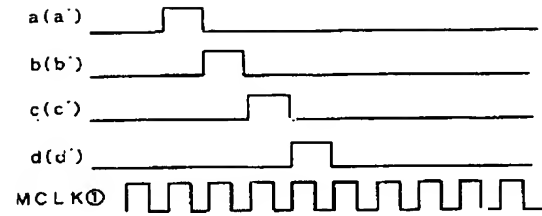
【図3】



【図1】



【図4】



【図5】

